



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09205101 A**(43) Date of publication of application: **05.08.97**

(51) Int. Cl.

**H01L 21/331****H01L 29/73****H01L 21/205****H01L 21/324****H01L 29/205**(21) Application number: **08010109**(22) Date of filing: **24.01.96**(71) Applicant: **NIPPON TELEGR & TELEPH  
CORP <NTT>**(72) Inventor: **ITO HIROSHI****(54) PRODUCTION METHOD FOR BIPOLAR  
TRANSISTOR**

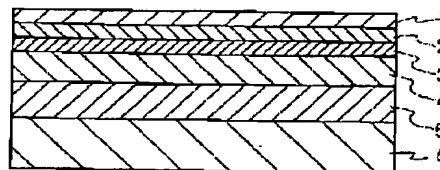
(57) Abstract:

**PROBLEM TO BE SOLVED:** To reduce the hydrogenation ratio of carbon impurities by sequentially re-growing an n-type second emitter layer and an n-type second cap layer after performing carbon impurities activating heat treatment in an inert gas atmosphere for a semiconductor construction.

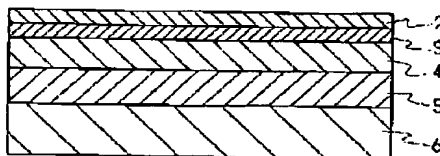
**SOLUTION:** A layer construction having a collector electrode layer 5, a collector layer 4, a base layer 3, a first emitter layer 2 and a first cap layer 1 on a substrate 6 is heat-treated in a nitrogen atmosphere. And after removing the first cap layer 1 with etching, a second emitter layer 7 and a second cap layer 8 are grown. At this time, if the growing temperature is made lower than 480°C, then the hydrogen transmittance of the first emitter layer 2 is suppressed low, and the hydrogenation of the base layer 3, doped with carbon, can be prevented, and the element characteristics can be improved by realizing a higher carrier concentration for the base layer. This occurs because the first emitter layer 2 acts as a barrier against hydrogen by performing re-growth at a temperature lower by a constant

temperature value from that of the dehydrogenation process.

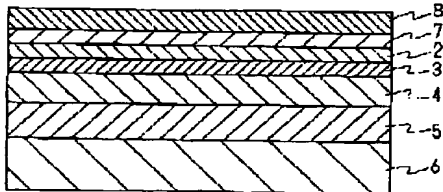
COPYRIGHT: (C)1997,JPO  
(a)



(b)



(c)



(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平9-205101

(43) 公開日 平成9年(1997)8月5日

(51) Int.Cl. <sup>6</sup>	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L	21/331		H 0 1 L 29/72	
	29/73		21/205	
	21/205		21/324	C
	21/324		29/205	
	29/205			

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号 特願平8-10109

(22) 出願日 平成8年(1996)1月24日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 伊藤 弘

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(74) 代理人 弁理士 中村 純之助

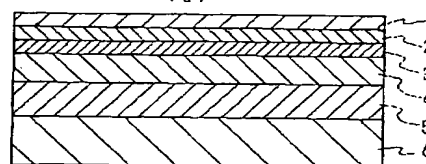
(54) 【発明の名称】 バイポーラトランジスタの作製方法

(57) 【要約】

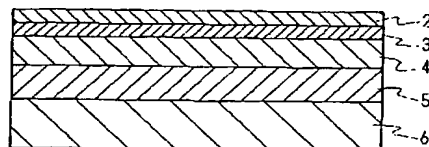
【課題】 炭素を不純物として含むベース層を有するHBTにおいて、炭素不純物の水素化率を低減させる。

【解決手段】 炭素添加ベース層にn型エミッタ層、n型i型の第1キャップ層を堆積し、不活性ガス中で炭素不純物の活性化熱処理を行ったのち、第2のエミッタ層や第2のキャップ層を順次再成長する。

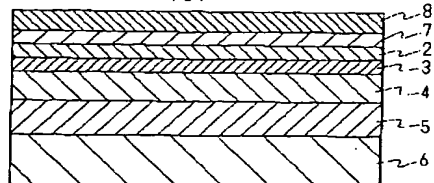
図1 (a)



(b)



(c)



1: 第1キャップ層 2: 第1エミッタ層 3: ベース層  
4: コレクタ層 6: 半導体基板 7: 第2エミッタ層  
8: 第2キャップ層

## 【特許請求の範囲】

【請求項1】半導体基板上にコレクタ層、炭素が不純物として添加されているp型のベース層およびn型第1のエミッタ層を、気相成長法により順次堆積するバイポーラトランジスタの作製方法において、上記炭素を添加したベース層を成長したのち、n型のエミッタ層、およびn型またはi型の第1キャップ層を順次堆積し、上記半導体層構造を不活性ガス雰囲気中で炭素不純物の活性化熱処理を行ったのち、n型の第2のエミッタ層およびn型の第2のキャップ層を、順次再成長することを特徴としたバイポーラトランジスタの作製方法。

【請求項2】上記第1のエミッタ層と第1のキャップ層の合計の膜厚が1000Å以下で、かつ合計のシート不純物濃度が $5 \times 10^{10}$ から $2 \times 10^{13} \text{ cm}^{-2}$ の範囲にあり、また、上記活性化熱処理が520℃以上でかつ1分間以上行われ、さらに上記再成長が480℃以下で行われることを特徴とする請求項1記載のバイポーラトランジスタの作製方法。

【請求項3】上記半導体基板がInP、ベース層がInGaAs、コレクタ層がInGaAsまたはInP、第1および第2のエミッタ層がInP、第1および第2のキャップ層がInGaAsで構成されることを特徴とする請求項1記載のバイポーラトランジスタの作製方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、III-V族化合物半導体を用いた超高速バイポーラトランジスタの成長方法に関するものである。

## 【0002】

【従来の技術】エミッタ層にワイドギャップ半導体を用いたヘテロ接合バイポーラトランジスタ(HBT)は、高速、高周波素子としての優れた特徴を有しており、さまざまな応用が期待されている。HBTを構成する場合、GaAsとAlGaAsとの組み合わせやInPとInGaAsとの組み合わせを基本とする、半導体材料の構成が実用性の面から最も重要度が高く、かつ広範に用いられている。

【0003】IV族原子である炭素Cは、結晶中での拡散定数が小さく高濃度ドーピングが可能である等の特徴を有していることから、近年p型ドーパントとして注目を集めている。炭素を不純物として添加した半導体層を成長する手法としては、いくつかの方法が用いられているが、中でもMOCVDやVPE等の気相成長法は、装置の大型化や原料補充が容易である等の点でMBEやLPE等の他の成長法に比べ優れており、工業的にも広く用いられている。通常、気相成長のキャリアガスとしては、他のガスに比べ高純度のガスが得られるという特徴から、水素が多く用いられている。また、III-V族半導体の気相成長におけるV族原料としては、AsH<sub>3</sub>やPH<sub>3</sub>等の水素化物が多く用いられている。したがって

成長室内には解離した活性水素が高濃度に存在している。この状況はV族原料にTMAs、TBAs、TMP、TBP等の有機金属材料を用いても、解離した水素が発生するため同様に生じる。水素が炭素不純物に及ぼす悪影響の一つとして、ドーパントの水素化による不活性化という問題が知られている。これは成長雰囲気が高濃度に存在する水素が、結晶中で炭素不純物と結合することにより炭素の結合手を終端し、炭素からのキャリア供給を相殺してしまうという現象である。この現象が顕在化すると、半導体層に高濃度にCを添加しようとした場合に、不純物炭素の大部分が水素化により不活性化してしまい、炭素添加層の低効率が高くなってしまいう問題点があった。

## 【0004】

【発明が解決しようとする課題】水素化により不活性化した炭素を再度活性化する手法としては、窒素中での熱処理が有効であることが知られている。しかし、HBT構造を成長した後にアニールを行っても、高濃度ドーパされたn型エミッタおよびn型キャップ層がp-InGaAs上に存在するため、n型層中の正に帯電した空間電荷の影響で水素の結晶外への脱離が阻害されてしまい、効果的に脱水素化できないという問題点があった。また、成長をベース層までで中断して窒素中で熱処理を行う手法と考えられるが、窒素雰囲気中で脱水素化を行った後にエミッタ層の成長を再開した場合は、各種成長原料から活性水素が発生するため、再び炭素添加層(ベース層)の水素化が生じ、結果として炭素添加層の抵抗率を下げられないことが問題であった。

【0005】本発明は上記問題点を解決するために、炭素を不純物として含むベース層を有するヘテロ接合バイポーラトランジスタの成長法において、炭素不純物の水素化率を低減させる技術を得ることを目的とする。

## 【0006】

【課題を解決するための手段】上記目的は、半導体基板上にコレクタ層、炭素が不純物として添加されているp型のベース層およびn型の第1のエミッタ層を、気相成長法により順次堆積するバイポーラトランジスタの作製方法において、上記炭素を添加したベース層を成長したのち、n型のエミッタ層、およびn型またはi型の第1キャップ層を順次堆積し、上記半導体層構造を不活性ガス雰囲気中で炭素不純物の活性化熱処理を行ったのち、n型の第2のエミッタ層およびn型の第2のキャップ層を、順次再成長することにより達成できる。

## 【0007】

【発明の実施の形態】本発明は、図1(a)に示すように、基板6上にn-InGaAsコレクタ電極層5、i-InGaAsコレクタ層4、Cドーパp-InGaAsベース層3、第1のn-InPエミッタ層2、第1のi-InGaAsキャップ層1を順次MOCVD法により成長した層構造を、窒素雰囲気中で550℃5分間の

熱処理を行うが、この不活性ガス中の熱処理で、炭素を添加したInGaAsに残留した水素が上記第1のn-InPエミッタ層2および第1のi-InGaAsキャップ層1を通して結晶から離脱し、炭素の活性化率は100%近くまで向上する。つぎに第1のi-InGaAsのキャップ層1をエッチングで除去したのち、このウェハを再び成長装置に入れ、第2のn-InPエミッタ層7および第2のn-InGaAsキャップ層8を図1(c)のように成長するが、このとき成長温度を480℃以下にすることにより、n-InP層の水素透過率を低く抑え、炭素がドーパされたベース層の水素化を防ぐことができる。すなわち、この工程では脱水素化工程よりも一定温度以上低い温度で再成長を行うことにより、第1のエミッタ層2を水素に対するバリアとして働かせている。

【0008】発明者は上記熱処理工程で有効に脱水素化が行える条件、すなわちn-InPエミッタ層7の水素透過率を高く保つことができる条件が、第1のエミッタ層厚、第1のキャップ層厚さ、第1のエミッタ層のキャリア濃度、熱処理温度および熱処理時間と深い相関関係にあると考えて、注意深く検討を行った結果は、第1のエミッタ層2および第1のキャップ層1の合計の膜厚は1000Å以下であり、かつ第1のエミッタ層2および第1のキャップ層の合計のシート不純物濃度が $5 \times 10^{10} / \text{cm}^2$ から $2 \times 10^{13} / \text{cm}^2$ までの範囲にあり、熱処理温度が図2に示すように520℃以上であり、その工程が1分以上である場合に効果的であることを確認した。一方、再成長の条件に関しては、上記第1のキャップ層1を除去した段階で、上記第1のInPエミッタ層2のシート不純物濃度が $5 \times 10^{10} / \text{cm}^2$ から $2 \times 10^{13} / \text{cm}^2$ までの範囲にあり、その成長温度が480℃以下であれば結晶中への水素の侵入を防ぐことができ、n-InPエミッタ層の水素透過率を低く保つことができることを確認した(図2)。

#### 【0009】

【実施例】本発明をInP/InGaAs・HBTの成長工程に適用した実施例を、図1に基づいて説明する。図1(a)に示すような層構造をMOCVD法により成長する。図において、1は第1のi-InGaAsキャップ層、2は第1のn-InPエミッタ層、3はCドーパp-InGaAsベース層、4はi-InGaAsコレクタ層、5はn-InGaAsコレクタ電極層、6はInP基板である。ここで、上記n-InPエミッタ層2の膜厚およびキャリア濃度はそれぞれ200Åおよび $3 \times 10^{17} / \text{cm}^3$ (シートキャリア濃度 $6 \times 10^{11} / \text{cm}^2$ )、i-InGaAsキャップ層1の厚さは50Åとした。つぎに、このウェハを成長装置から取り出し、窒素雰囲気中において550℃5分間の熱処理を行う。この条件で熱処理を行うことにより、炭素を添加したInGaAs中に残留した水素がi-InPエミッタ

層2およびi-InGaAs層1を通して結晶中から分離し、アクセプタとしての炭素の活性化率はほぼ100%まで向上する。ここで用いた試料では成長直後のキャリア濃度は $1 \times 10^{19} / \text{cm}^3$ 程度であったが、550℃5分間の熱処理を行うことにより、キャリア濃度 $4 \times 10^{19} / \text{cm}^3$ 程度にまで図2に示すように向上した。つぎに、上記第1のi-InGaAsキャップ層1を図1(b)に示すようにエッチングにより除去する。このとき、適当な溶液(例えば、硫酸、過酸化水素、及び水の混合液)を用いることによりInGaAsのみを選択的にエッチングすることができ、InGaAs/InP界面においてエッチングを制御性良く停止することができる。このi-InGaAs層は熱処理による結晶表面の劣化を抑制するために設けてあり、この層をエッチングにより除去することで品質のよい結晶表面を露出させることができる。

【0010】つぎにウェハを再度成長装置に導入し、第2のn-InPエミッタ層7および第2のn-InGaAsキャップ層8を図1(c)のように再成長する。このとき、成長温度を480℃以下にすることにより、n-InP層の水素透過率を低く抑えることができ(図2)、炭素がドーパされたベース層3の水素化を防ぐことができる。すなわちこの工程では、脱水素化工程よりも一定温度以上低い温度で再成長を行うことにより、第1のエミッタ層2を水素に対するバリアとして働かせている。

【0011】本実施例ではウェハを一旦成長装置の外へ出し熱処理およびエッチングを行ったのち、再度成長装置へ導入し再成長を行ったが、その一部もしくは全部の工程を成長室内で連続して行うこともできる。すなわち、成長室内に窒素ガス等を導入することによる窒素雰囲気中アニールおよび塩素系ガス等を用いたInGaAs層およびInP層のドライエッチングを行うことが可能である。また、本実施例では表面保護層として第1のInGaAsキャップ層1を用いたが、最初の工程で成長する層構造を第1のInPエミッタ層2までとし、アニール後上記第1のエミッタ層の一部をエッチングで除去する工程で代用することもできる。さらにアニール条件や固体磷ソースの併用等によりアニール中の結晶表面品質の劣化を低く抑えることも可能であり、その場合は上記第1のInPエミッタ層の一部をエッチングで除去する工程を省略することもある。コレクタ層にはInPを用いることがあり、第2のキャップ層がInPで構成されることもある。一方、材料系に関してはInP/InGaAs・HBTの場合について述べたが、InAl(Ga)As/InGaAs、AlGaAs/(Al)GaAs、InGaP/GaAs、InAlAs/GaAsSb、InP/GaAsSb等の他の材料を用いたHBTに対しても広く用いることができる。また、熱処理に用いる雰囲気ガスとして窒素の場合について述べた

が、アルゴンやヘリウム等の他の不活性ガスを用いることによって、同様の効果が得られる。

#### 【0012】

【発明の効果】上記のように本発明によるバイポーラトランジスタの作製方法は、半導体基板上にコレクタ層、炭素が不純物として添加されているp型のベース層およびn型の第1エミッタ層を、気相成長法により順次堆積するバイポーラトランジスタの作製方法において、上記炭素を添加したベース層を成長したのち、n型のエミッタ層、およびn型またはi型の第1キャップ層を順次堆積し、上記半導体層構造を不活性ガス雰囲気中で炭素不純物の活性化熱処理を行ったのち、n型の第2のエミッタ層およびn型の第2のキャップ層を、順次再成長することにより、上記ベース層に炭素を不純物として添加した化合物半導体を用いたHBTを成長する場合に、ベ-

ス層中の炭素の活性化率の向上を図ることができ、より高いベース層キャリア濃度の実現による素子特性の向上を図ることができる。

#### 【図面の簡単な説明】

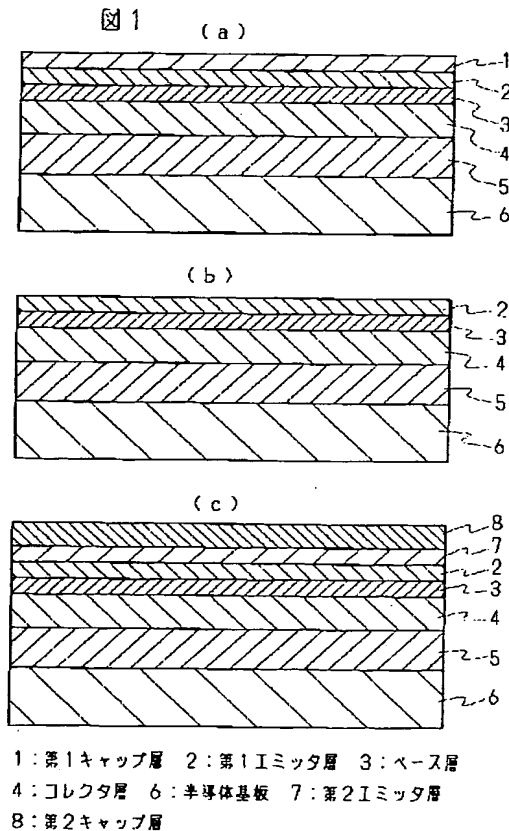
【図1】本発明をInP/InGaAs・HBTに適用した実施例で、(a)～(c)はその製作工程を示す図である。

【図2】CドープInGaAs層中のキャリア濃度の熱処理温度依存性を示す図である。

#### 10 【符号の説明】

- |   |         |   |         |
|---|---------|---|---------|
| 1 | 第1キャップ層 | 2 | 第1エミッタ層 |
| 3 | ベース層    | 4 | コレクタ層   |
| 6 | 半導体基板   | 7 | 第2エミッタ層 |
| 8 | 第2キャップ層 |   |         |

【図1】



【図2】

